

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0064513
Application Number PATENT-2002-0064513

출원년월일 : 2002년 10월 22일
Date of Application OCT 22, 2002

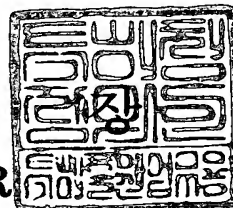
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 27 일

특 허 청

COMMISSIONER



**【서지사항】**

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002. 10. 22
【국제특허분류】	H01L 23/28
【발명의 명칭】	웨이퍼 레벨 칩 스케일 패키지 제조 방법
【발명의 영문명칭】	Method for manufacturing wafer level chip scale package
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	윤동열
【대리인코드】	9-1998-000307-3
【포괄위임등록번호】	1999-005918-7
【대리인】	
【성명】	이선희
【대리인코드】	9-1998-000434-4
【포괄위임등록번호】	1999-025833-2
【발명자】	
【성명의 국문표기】	이동호
【성명의 영문표기】	LEE, Dong Ho
【주민등록번호】	610521-1055439
【우편번호】	463-739
【주소】	경기도 성남시 분당구 미금동 까치마을 신원아파트 313동 1502호
【국적】	KR
【발명자】	
【성명의 국문표기】	김구성
【성명의 영문표기】	KIM, Gu Sung
【주민등록번호】	650109-1047614
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 동아아파트 103동 502호
【국적】	KR

【발명자】

【성명의 국문표기】 장동현
【성명의 영문표기】 JANG, Dong Hyeon
【주민등록번호】 650502-1273311
【우편번호】 110-521
【주소】 서울특별시 종로구 명륜동 1가 7-11
【국적】 KR

【발명자】

【성명의 국문표기】 이진혁
【성명의 영문표기】 LEE, Jin Hyuk
【주민등록번호】 651027-1002137
【우편번호】 440-330
【주소】 경기도 수원시 장안구 천천동 544 삼성래미안아파트 107동 703호
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 윤동열 (인) 대리인
 이선희 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	11 면	11,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	6 항	301,000 원
【합계】		341,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통 2. 위임장[1999년 1월 21일 포괄위임등록, 1999년 3월 15일 복대리인 선임]_1통

【요약서】

【요약】

본 발명은 웨이퍼 레벨 칩 스케일 패키지 제조 방법에 관한 것으로, 볼 패드와 솔더 볼 사이의 접합 신뢰성을 향상시키기 위해서, (a) 웨이퍼 제조 공정을 통하여 실리콘 기판에 집적회로들이 형성되고, 상기 집적회로들과 전기적으로 연결된 칩 패드들과 상기 집적회로들을 보호하기 위한 불활성층이 상기 실리콘 기판의 상부면에 형성된 복수개의 반도체 칩들과, 상기 반도체 칩들을 구분하는 칩 절단영역을 갖는 반도체 웨이퍼를 제공하는 단계와; (b) 상기 칩 패드만 노출되도록 상기 불활성층 상에 제 1 절연층을 형성하는 단계와; (c) 상기 제 1 절연층 위에 제 2 절연층을 형성하되, 상기 칩 패드가 노출되고, 볼 패드로 형성될 영역의 상기 제 1 절연층의 일부가 노출되게 굴곡부를 갖는 제 2 절연층을 형성하는 단계와; (d) 상기 칩 패드의 재배열을 위하여 상기 칩 패드와 각기 연결되어 상기 제 2 절연층과 상기 굴곡부에 형성된 금속 배선층을 형성하는 단계와; (e) 상기 금속 배선층을 보호하기 위해서 상기 금속 배선층과 제 2 절연층 상에 제 3 절연층을 형성하는 단계와; (f) 상기 굴곡부 상부의 제 3 절연층을 개방하여 볼 패드를 형성하는 단계와; (g) 상기 굴곡부를 포함하는 상기 볼 패드 위에 솔더 볼을 형성하는 단계; 및 (h) 상기 칩 절단영역을 따라 상기 반도체 웨이퍼를 절단하여 웨이퍼 레벨 칩 스케일 패키지를 얻는 단계;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법을 제공한다.

【대표도】

도 14

1020020064513

출력 일자: 2002/12/28

【색인어】

박형, 칩 스케일 패키지, 굴곡부, 조인트, 솔더 볼

【명세서】**【발명의 명칭】**

웨이퍼 레벨 칩 스케일 패키지 제조 방법{Method for manufacturing wafer level chip scale package}

【도면의 간단한 설명】

도 1은 종래기술에 따른 웨이퍼 레벨 칩 스케일 패키지를 보여주는 평면도이다.

도 2는 도 1의 2-2선 단면도이다.

도 3 내지 도 16은 본 발명의 제 1 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지의 제조 방법의 각 단계를 보여주는 도면들로서,

도 3은 본 발명에 따른 칩 스케일 패키지 제조에 사용되는 반도체 웨이퍼의 개략적인 평면도이고,

도 4 및 도 5는 도 3의 웨이퍼 제조가 완료된 반도체 소자의 일부분을 확대하여 보여주는 평면도 및 단면도이고,

도 6은 제 1 절연층을 코팅하는 단계를 보여주는 단면도이고,

도 7은 제 1 절연층을 패터닝하여 칩 패드 부분을 개방하는 단계를 보여주는 단면도이고,

도 8 및 도 9는 제 2 절연층을 패터닝하여 칩 패드 부분을 개방하고, 볼 패드 형성된 부분에 굴곡부를 형성하는 단계를 보여주는 평면도 및 단면도이고,

도 10은 칩 패드와 굴곡부가 각기 연결되게 금속 배선층을 형성하는 단계를 보여주는 단면도이고,

도 11은 제 3 절연층을 코팅하는 단계를 보여주는 단면도이고,

도 12 및 도 13은 제 3 절연층을 패터닝하여 굴곡부 부분을 개방하여 볼 패드를 형성하는 단계를 보여주는 평면도 및 단면도이고,

도 14는 볼 패드 위에 솔더 볼이 형성된 상태를 보여주는 단면도이다.

도 15는 본 발명의 제 2 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지의 제조 방법의 단계를 보여주는 도면으로서, 제 3 절연층을 패터닝하여 굴곡부 부분을 개방하여 볼 패드를 형성하는 단계를 보여주는 평면도이다.

도 16 내지 도 21은 본 발명의 제 3 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지의 제조 방법의 단계를 보여주는 도면들로서,

도 16은 제 1 절연층을 패터닝하여 칩 패드 부분을 개방하고, 볼 패드 형성될 부분의 중심 부분에 제 1 개방부를 형성하는 단계를 보여주는 단면도이고,

도 17 및 도 18은 제 2 절연층을 패터닝하여 칩 패드 부분과 제 1 개방부를 개방하고, 제 1 개방부 외측에 제 2 개방부를 형성하는 단계를 보여주는 평면도 및 단면도이고,

도 19 및 도 20은 제 3 절연층을 패터닝하여 제 1 및 제 2 개방부가 형성된 굴곡부 부분을 개방하여 볼 패드를 형성하는 단계를 보여주는 평면도 및 단면도이고,

도 21은 볼 패드 위에 솔더 볼이 형성된 상태를 보여주는 단면도이다.

* 도면의 주요 부분에 대한 설명 *

30 : 반도체 웨이퍼 31 : 칩 패드

32 : 실리콘 기판 33 : 불활성층

34 : 반도체 칩 36 : 칩 절단영역
 41 : 금속 배선층 42 : 제 1 절연층
 43 : 볼 패드 44 : 제 2 절연층
 45 : 금속 기저층 46 : 제 3 절연층
 47 : 접속 구멍 50 : 굴곡부
 52 : 개방부 54 : 철부
 60 : 솔더 볼 70 : 웨이퍼 레벨 칩 스케일 패키지

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<29> 본 발명은 웨이퍼 레벨 칩 스케일 패키지 제조 방법에 관한 것으로, 더욱 상세하게는 칩 패드를 재배열하여 형성한 볼 패드와 솔더 볼 사이의 접합 신뢰성을 향상시킬 수 있는 웨이퍼 레벨 칩 스케일 패키지(wafer level chip scale package; WL CSP) 제조 방법에 관한 것이다.

<30> 오늘날 전자산업의 추세는 경량화, 소형화, 고속화, 다기능화, 고성능화되고 높은 신뢰성을 갖는 제품을 저렴하게 제조하는 것이다. 이와 같은 제품 설계의 목표 달성을 가능하게 하는 중요한 기술 중의 하나가 바로 패키지 조립 기술이다. 칩 스케일 패키지(또는 칩 사이즈 패키지)는 근간에 개발되어 제안되고 있는 새로운 패키지 유형으로서, 전형적인 플라스틱 패키지에 비하여 많은 장점들을 가지고 있다. 칩 스케일 패키지의 가장 큰 장점은 바로 패키지의 크기이다. JEDEC(Joint Electron Device Engineering

Council), EIAJ(Electronic Industry Association of Japan)와 같은 국제 반도체 협회의 정의에 따르면, 칩 스케일 패키지는 칩 크기의 1.2배 이내의 패키지 크기를 가진다.

<31> 칩 스케일 패키지는 디지털 캠코더, 휴대 전화기, 노트북 컴퓨터, 메모리 카드 등과 같이 소형화, 이동성이 요구되는 제품들에 주로 사용되며, DSP(digital signal processor), ASIC(application specific integrated circuit), 마이크로 컨트롤러(micro controller) 등과 같은 반도체 소자들이 칩 스케일 패키지 안에 실장된다. 또한, DRAM(dynamic random access memory), 플래쉬 메모리(flash memory) 등과 같은 메모리 소자를 실장한 칩 스케일 패키지의 사용도 점점 확산일로에 있다. 현재는 전 세계적으로 약 50개 이상의 각종 칩 스케일 패키지들이 개발되거나 생산되고 있는 실정이다.

<32> 그러나, 칩 스케일 패키지가 크기 면에서 절대적인 이점을 가지고 있는 반면, 아직까지는 기존의 플라스틱 패키지에 비하여 여러모로 단점들을 안고 있는 것도 사실이다. 그 중의 하나는 신뢰성의 확보가 어렵다는 점이며, 다른 하나는 칩 스케일 패키지의 제조에 추가로 투입되는 제조 설비가 소요되는 원부자재가 많고 제조 단가가 높아 가격 경쟁력이 떨어진다는 점이다.

<33> 이와 같은 문제점을 해결할 수 있는 방안으로 웨이퍼 레벨(wafer level)에서의 칩 스케일 패키지가 대두되고 있다. 즉, 통상적인 웨이퍼 제조 공정을 통하여

반도체 웨이퍼(semiconductor wafer)가 제조되면 웨이퍼로부터 개별 칩을 분리하여 패키지 조립 공정을 거치게 된다. 패키지 조립 공정은 웨이퍼 제조 공정과는 다른 설비와 원부자재를 필요로 하는 전혀 별개의 공정이다. 그러나, 웨이퍼 레벨에서, 즉 웨이퍼로부터 개별 칩을 분리하지 않은 상태에서 완전한 제품으로서의 패키지를 제조할 수 있다. 그리고 패키지를 제조하는데 사용되는 제조 설비나 제조 공정에 기존 웨이퍼 제조 설비, 공정들을 그대로 이용할 수 있다. 이는 패키지를 제조하기 위하여 추가로 소요되는 원부자재를 최소화할 수 있음을 의미하기도 한다.

<34> 도 1은 종래기술에 따른 웨이퍼 레벨 칩 스케일 패키지(20)를 보여주는 평면도이다. 도 2는 도 1의 2-2선 단면도이다. 한편 도 1에서는 솔더 볼(28)이 형성된 볼 패드(23)를 도시하기 위하여 솔더 볼의 도시를 생략하였다.

<35> 도 1 및 도 2를 참조하면, 칩 스케일 패키지(20)는 웨이퍼 레벨에서 제조되는 패키지로써, 실리콘 기판(12; silicon substrate)의 상부면의 가장자리 둘레에 형성된 복수 개의 칩 패드(11; chip pad)를 갖는 반도체 칩(14; semiconductor chip)과, 칩 패드(11)의 재배열을 위하여, 실리콘 기판(12)의 중심 부분에 형성된 금속 배선층(21; metal trace layer) 및 금속 배선층(21)의 말단에 형성된 볼 패드(23; ball pad)에 솔더 볼(28; solder ball)이 형성된 구조를 갖는다.

<36> 반도체 칩(14)은, 실리콘 기판(12)의 상부면에 집적회로와 전기적으로 연결된 복수 개의 칩 패드(11)와, 실리콘 기판(12)의 내부의 집적회로들과 칩 패드(11)들을 보호하기 위한 불활성층(13; passivation layer)으로 구성된다. 칩 패드(11)는 보통 알루미늄(Al)으로 되어 있으며, 불활성층(13)은 산화막 또는 질화막으로 되어 있다.

- <37> 불활성층(13) 위에 금속 배선층(21)을 형성하기 위해서, 불활성층(13) 위에 칩 패드(11)가 노출되도록 절연층(22; dielectric layer; 이하 제 1 절연층이라 한다)이 소정의 두께로 형성된다.
- <38> 금속 배선층(21)이 칩 패드(11)와 연결되어 제 1 절연층(22) 상에 형성되며, 실리콘 기판(12)의 중심 방향으로 형성된다. 금속 배선층(21)의 말단에 소정의 크기의 솔더 볼(28)이 형성될 수 있는 원형의 볼 패드(23)가 형성된다.
- <39> 다시 절연층(24; 이하 제 2 절연층이라 한다)이 볼 패드(23)를 제외한 실리콘 기판(12)의 전면에 소정의 두께로 형성된다. 즉 제 2 절연층(24)은 금속 배선층(21)과 앞서 형성된 불활성층(13)과 제 1 절연층(22)을 모두 덮게 된다.
- <40> 그리고 볼 패드(23)에 구형의 솔더 볼(28)을 올려놓은 후, 열을 이용한 리플로우 솔더 공정을 통해 솔더 볼(28)을 볼 패드(23)에 접합된다. 물론 금속 배선층(21)이 형성되는 칩 패드(11)와 제 1 절연층(22) 상에는 금속 기저층(25)이 형성되어 있다.
- <41> 그런데, 웨이퍼 레벨에서 제조된 종래 기술에 따른 칩 스케일 패키지(20)는 형성되는 솔더 볼(28)의 크기가 작고, 도 1에도 도시된 바와 같이 통상적으로 볼 패드(22)는 제 2 절연층(24) 상에 위로 개방된 원통형으로 형성된 접속 구멍(27)에 노출되기 때문에, 볼 패드(23)와 솔더 볼(28) 사이의 접촉 면적이 작다. 따라서 볼 패드(23)의 피치가 줄어들수록 볼 패드(23)와 솔더 볼(28) 사이의 접촉 면적이 줄어들기 때문에, 볼 패드(23)에 대한 솔더 볼(28)의 접합 신뢰성이 떨어지는 문제점을 안고 있다. 즉, 금속 배선층(21)의 말단인 볼 패드(23)는 원형이고, 이 원형의 볼 패드(23) 주위는 제 2 절연층(24)이 둘러싸고 있다. 솔더 볼(28)은 볼 패드(23) 주위의 제 2 절연층(24)에 접촉하면서 볼 패드(23)에 접합되어 있다. 여기서 제 2 절연층(24)은 솔더 볼(28)과 금속

적 접합이 이루어지지 않으므로, 볼 패드(23)의 평평한 표면만이 오직 솔더 볼(28)과 접합하기 때문에, 볼 패드(23)에 대한 솔더 볼(28)의 접합 신뢰성이 떨어지는 요인으로 작용한다.

【발명이 이루고자 하는 기술적 과제】

<42> 따라서, 본 발명의 목적은 볼 패드와 솔더 볼 사이의 접합 신뢰성을 향상시킬 수 있는 웨이퍼 레벨 칩 스케일 패키지 제조 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<43> 상기 목적을 달성하기 위하여, (a) 웨이퍼 제조 공정을 통하여 실리콘 기판에 집적회로들이 형성되고, 상기 집적회로들과 전기적으로 연결된 칩 패드들과 상기 집적회로들을 보호하기 위한 불활성층이 상기 실리콘 기판의 상부면에 형성된 복수개의 반도체 칩들과, 상기 반도체 칩들을 구분하는 칩 절단영역을 갖는 반도체 웨이퍼를 제공하는 단계와; (b) 상기 칩 패드만 노출되도록 상기 불활성층 상에 제 1 절연층을 형성하는 단계와; (c) 상기 제 1 절연층 위에 제 2 절연층을 형성하되, 상기 칩 패드가 노출되고, 볼 패드로 형성될 영역의 상기 제 1 절연층의 일부가 노출되게 굴곡부를 갖는 제 2 절연층을 형성하는 단계와; (d) 상기 칩 패드의 재배열을 위하여 상기 칩 패드와 각기 연결되어 상기 제 2 절연층과 상기 굴곡부에 형성된 금속 배선층을 형성하는 단계와; (e) 상기 금속 배선층을 보호하기

위해서 상기 금속 배선층과 제 2 절연층 상에 제 3 절연층을 형성하는 단계와; (f) 상기 굴곡부 상부의 제 3 절연층을 개방하여 볼 패드를 형성하는 단계와; (g) 상기 굴곡부를 포함하는 상기 볼 패드 위에 솔더 볼을 형성하는 단계; 및 (h) 상기 칩 절단영역을 따라 상기 반도체 웨이퍼를 절단하여 웨이퍼 레벨 칩 스케일 패키지를 얻는 단계;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법을 제공한다.

<44> 본 발명에 따른 (c) 단계의 굴곡부는, 소정의 직경을 갖는 개방된 원형의 제 1 절연층 위에, 개방된 제 1 절연층의 직경보다는 작은 직경을 갖는 고리 형태의 제 2 절연층으로 형성된 철부를 포함한다. 고리 형태의 철부는 불연속적으로 형성할 수도 있다. 그리고 볼 패드 안쪽의 철부의 면적과 요부의 면적이 비슷하게 형성하는 것이 바람직하다.

<45> 본 발명에 따른 (b) 단계에서, 고리 형태의 제 2 절연층 안쪽의 불활성층 부분이 노출되게 제 1 절연층이 형성할 수 있다.

<46> 그리고 본 발명에 따른 (c) 단계에서, 고리 형태의 제 2 절연층 안쪽의 불활성층 부분이 노출되게 제 2 절연층이 형성할 수 있다.

<47> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

<48> 도 3 내지 도 16은 본 발명의 제 1 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지의 제조 방법의 각 단계를 보여주는 도면들로서, 도 3은 본 발명에 따른 칩 스케일 패키지 제조에 사용되는 반도체 웨이퍼(30)의 개략적인 평면도이다.

<49> 도 3에 도시된 바와 같이, 실리콘 소재의 실리콘 기판(32)에는 일반적으로 웨이퍼 제조 공정을 통해 소정의 집적회로들이 형성된다. 실리콘 기판(32)에 집적된 회로들이

복수개의 반도체 칩(34)을 구성하고, 이웃하는 반도체 칩(34)들은 칩 절단영역(36; scribe line)에 의해 구분된다. 한편 반도체 칩(34)을 이루는 집적회로가 본 발명을 이해하는데 반드시 필요한 것은 아니기 때문에, 집적회로는 본 명세서 및 도면에 개시하지 않았다.

<50> 도 4 및 도 5에 도시된 바와 같이, 반도체 칩(34)은 실리콘 기판(32) 상부면에 집적회로와 전기적으로 연결된 칩 패드(31)가 형성된다. 또한 불활성층(33)이 실리콘 기판(32) 상부면과 칩 패드(31) 가장자리를 뒤덮고 있어서, 실리콘 기판(32) 내부의 집적회로들을 외부환경으로부터 보호한다. 칩 패드(31)는 보통 알루미늄(Al)으로 되어 있으며, 불활성층(33)은 산화막 또는 질화막으로 되어 있다.

<51> 도 3에는 반도체 웨이퍼(30)의 개략적인 모습이 나타나 있다. 도 3에 나타난 바와 같이, 복수개의 반도체 칩(34)들이 하나의 웨이퍼(30)를 구성하고 있으며, 도 4부터 도 13까지의 도면은 그 중의 극히 일부를 나타낸 것에 불과하다. 반도체 칩(34)의 개략적인 모습은 도 4에 도시하였다. 도 4에서 볼 수 있듯이, 칩 패드(31)들은 칩 절단영역(36)에 근접한 반도체 칩(34)의 가장자리에 열을 지어 형성된다. 그러나 칩 패드(31)의 위치가 반드시 반도체 칩(34)의 가장자리에 한정되는 것은 아니다.

<52> 웨이퍼가 본 실시예의 제조 공정에 제공되면, 도 6 및 도 7에 도시된 바와 같이, 불활성층(33) 위에 제 1 절연층(42)을 형성하는 단계를 진행한다. 제 1 절연층(42)은 불활성층(33) 위에 금속 배선층을 형성하기 위한 하부 절연층으로서, 칩 패드(31)가 노출되도록 소정의 두께로 불활성층(33) 위에 형성된다. 제 1 절연층(42)으로는 용력 흡수가 잘되는 유기물인 폴리이미드(polyimide) 또는 벤조 사이클로 부텐(benzo cyclo

butene; BCB)으로 형성하는 것이 바람직하다. 제 1 절연층(42)으로부터 칩 패드(31)를 노출시키는 방법은 통상적인 사진 공정을 사용한다.

<53> 다음으로 도 8 및 도 9에 도시된 바와 같이, 제 1 절연층(42) 위에 제 2 절연층(44)을 형성하는 단계를 진행한다. 제 2 절연층(44)은 칩 패드(31)가 노출되도록 소정의 두께로 제 1 절연층(42) 위에 형성되며, 특히 볼 패드로 형성될 칩 패드(31) 외측의 제 1 절연층(42) 부분이 노출되게 개방부(52)가 형성된다. 특히 솔더 볼과의 접합 신뢰성을 향상시키기 위하여 개방부(52) 안쪽의 제 2 절연층(44)을 완전히 제거하지 않고 남겨둔다. 즉, 볼 패드가 원형으로 형성될 경우, 개방부(52) 또한 원형으로 형성되고, 개방부(52) 안쪽에 고리 형태의 철부(54)를 남겨둔다(이하, 철부(54)를 포함하는 개방부(52)를 굴곡부(50)라 한다). 이와 같은 굴곡부(50)는 이후에 형성될 금속 배선층과의 접촉 면적을 극대화할 수 있기 때문에, 솔더 볼의 접합 신뢰성을 향상시킨다.

<54> 그리고 제 2 절연층(44)으로부터 칩 패드(31)를 노출시키고 굴곡부(50)를 형성하는 방법은 통상적인 사진 공정을 사용한다. 제 2 절연층(44)은 폴리이미드 또는 벤조 사이클로 부텐으로 형성하는 것이 바람직하다.

<55> 다음으로 도 10에 도시된 바와 같이, 칩 패드(31)의 재배열을 위하여 금속 배선층(41)을 형성하는 단계를 진행한다. 즉, 칩 패드(31)와 각기 대응되는 굴곡부(50)를 서로 연결하는 금속 배선층(41)이 칩 패드(31)와 제 2 절연층(44) 및 굴곡부(50)에 형성된다. 금속 배선층(41)은 스퍼터링이나 화학적기상증착법 등과 같은 방법을 이용해서 증착하여 형성한다. 금속 배선층(41)은 구리(Cu)나 알루미늄(Al)의 단일층일 수도 있고, 또는 수 개의 금속들이 적층된 다층 구조일 수도 있다.

- <56> 한편 금속 배선층(41)을 형성하기 전에 금속 배선층(41)의 접착층, 확산 장벽층, 도금 기초층으로 이용될 금속 기저층(45)을 금속 배선층(41)이 형성될 영역의 하부에 형성한다. 금속 기저층(45)으로 티타늄/구리(Ti/Cu), 티타늄/티타늄-구리/구리(Ti/Ti-Cu/Cu), 크롬/크롬-구리/구리(Cr/Cr-Cu/Cu), 티타늄텅스텐/구리(TiW/Cu), 알루미늄/니켈/구리(Al/Ni/Cu), 알루미늄/니켈바나듐/구리(Al/NiV/Cu) 중의 하나를 선택하여 사용할 수 있다.
- <57> 다음으로 도 11에 도시된 바와 같이, 실리콘 기판(32)의 전면에 다시 제 3 절연층(46)을 소정의 두께로 형성하는 단계를 진행한다. 제 3 절연층(46)은 금속 배선층(41)과 앞서 형성된 불활성층(33)과, 제 1 및 제 2 절연층(42, 44)을 모두 덮게 된다. 제 3 절연층(46)은 반도체 칩(34)에 가해지는 충격을 완화시켜 반도체 칩(34)을 보호할 뿐만 아니라, 일반적으로 사용되는 배선기판의 역할을 대신한다. 제 3 절연층(46)으로는 폴리이미드 또는 벤조 사이클로 부텐으로 형성하는 것이 바람직하다.
- <58> 다음으로 도 12 및 도 13에 도시된 바와 같이, 굴곡부 상에 형성된 제 3 절연층(46) 부분을 선택적으로 제거하여 볼 패드(43)가 노출될 수 있는 접속 구멍(47)을 형성하는 단계를 진행한다. 볼 패드(43)는 금속 배선층(41)을 통하여 칩 패드(31)와 전기적으로 연결되기 때문에, 볼 패드(43)의 위치는 칩 패드(31)의 위치와 얼마든지 다르게 형성할 수 있다. 즉, 칩 패드(31)들의 위치가 재배열된다.
- <59> 볼 패드(43)에 대한 솔더 볼의 접합성을 향상시키기 위해서, 볼 패드(43) 안쪽의 철부(54)의 면적과 개방부(52)의 면적이 비슷하게 형성하는 것이 바람직하다.
- <60> 다음으로 도 14에 도시된 바와 같이, 볼 패드(43)에 솔더 볼(60)을 형성하는 단계를 진행한다. 즉, 볼 패드(43)에 플럭스(flux)를 도포한 후 구형의 솔더 볼(60)을 올리

고 리플로우시킴으로써 솔더 볼(60)이 형성된다. 솔더 볼(60)은 볼 패드(43)를 통하여 금속 배선층(41)과 칩 패드(31)와 전기적으로 연결된다. 이때, 솔더 볼(60)이 접합되는 볼 패드(43)는 단순히 평평한 면이 아니라 굴곡면이다. 따라서 솔더 볼(60)이 볼 패드(43)의 굴곡면 사이의 공간에 충전되어 솔더 볼(60)과 볼 패드(43) 사이의 접촉 면적이 늘어나기 때문에, 볼 패드(43)에 대한 솔더 볼(60)의 접합 신뢰성이 향상된다.

<61> 솔더 볼(60)은 볼 배치(ball placement), 도금(plating), 스텐실 프린팅(stencil printing) 또는 메탈젯(metaljet) 방법으로 형성할 수 있으며, 본 발명의 실시예에서는 볼 배치 방법으로 형성하였다.

<62> 지금까지 설명한 단계들을 따라 웨이퍼 상태에서 패키지 제조가 완료되면, 칩 절단 영역(도 3의 36)을 따라 웨이퍼를 절단하여 웨이퍼 레벨 칩 스케일 패키지(70)를 얻는다.

<63> 한편, 본 발명의 제 1 실시예에서는 도 12에 도시된 바와 같이, 개방부(52) 안쪽에 고리 형태의 철부(54)가 일체로 형성된 예를 개시하였지만, 도 15에 도시된 바와 같이, 본 발명의 제 2 실시예에서는 고리 형태의 철부(54)를 불연속적으로 형성하였다.

<64> 도 16 내지 도 21은 본 발명의 제 3 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지의 제조 방법의 단계를 보여주는 도면들이다.

<65> 웨이퍼가 본 실시예의 제조 공정에 제공되면, 도 16에 도시된 바와 같이, 불활성층(233) 위에 제 1 절연층(242)을 형성하는 단계를 진행한다. 제 1 절연층(242)은 불활성층(233) 위에 금속 배선층을 형성하기 위한 하부 절연층으로서, 칩 패드(231)가 노출되도록 소정의 두께로 불활성층(233) 위에 형성되며, 특히 볼 패드로 형성될 칩

패드(231) 외측의 불활성층(233) 부분이 노출되게 제 1 개방부(252a)가 형성된다. 이때 제 1 개방부(252a)는 형성될 불 패드 보다는 작은 크기를 가지며, 불 패드의 중심 부분에 대응되는 위치에 형성하는 것이 바람직하다.

<66> 다음으로 도 17 및 도 18에 도시된 바와 같이, 제 1 절연층(242) 위에 제 2 절연층(244)을 형성하는 단계를 진행한다. 제 2 절연층(244)은 칩 패드(231)가 노출되도록 소정의 두께로 제 1 절연층(242) 위에 형성되며, 불 패드로 형성될 칩 패드(231) 외측의 제 1 절연층(242) 부분이 노출되게 제 2 개방부(252b)가 형성된다. 특히 솔더 볼과의 접합 신뢰성을 향상시키기 위하여 제 2 개방부(252b) 안쪽의 제 2 절연층(244)을 완전히 제거하지 않고 남겨둔다. 즉, 불 패드가 원형으로 형성될 경우, 제 1 및 제 2 개방부(252a, 252b) 또한 원형으로 형성되고, 제 1 개방부(252a)와 제 2 개방부(252b) 사이에 고리 형태의 철부(254)를 남겨둔다. 물론 제 2 개방부(252b)는 제 1 개방부(252a)보다는 큰 직경을 갖는 개방부로서, 제 1 개방부(252a)를 포함하고, 철부(254)를 중심으로 제 1 개방부(252a)에는 불활성층(233)이 노출되고, 제 1 및 제 2 개방부(252a, 252b) 사이에는 제 1 절연층(242)이 노출된다. 이와 같은 굴곡부(250)는 이후에 형성될 금속 배선층과의 접촉 면적을 극대화할 수 있기 때문에, 솔더 볼의 접합 신뢰성을 향상시킬 수 있다.

<67> 다음으로 도 19 및 도 20에 도시된 바와 같이, 실리콘 기판(232)의 전면에 다시 제 3 절연층(246)을 소정의 두께로 형성한 다음, 굴곡부 상에 형성된 제 3 절연층(246) 부분을 선택적으로 제거하여 불 패드(243)를 형성하는 단계를 진행한다. 이때, 제 1 및 제 2 개방부(252a, 252b) 사이에는 제 1 절연층(242)이 노출될 수 있도록 제 3 절연층(246)을 제거한다.

- <68> 한편 제 1 및 제 2 개방부(252a, 252b) 사이에 형성된 철부(254)는 고리 형태로 일체로 형성되어 있지만, 제 2 실시예에서와 같이 불연속적으로 형성할 수도 있다.
- <69> 다음으로 도 21에 도시된 바와 같이, 볼 패드(243)에 솔더 볼(260)을 형성하는 단계를 진행한다.
- <70> 그리고 지금까지 설명한 단계들을 따라 웨이퍼 상태에서 패키지 제조가 완료되면, 칩 절단영역을 따라 웨이퍼를 절단하여 웨이퍼 레벨 칩 스케일 패키지(270)를 얻는다.
- <71> 이때 제 1 및 제 3 실시예에 따른 웨이퍼 레벨 칩 스케일 패키지를 비교해 보면, 볼 패드에 차이가 있음을 알 수 있다. 즉, 제 1 실시예에 따른 굴곡부의 개방부에서 노출되는 부분은 제 1 절연층인데 반하여, 제 3 실시예에 따른 굴곡부는 제 1 개방부에는 불활성층이 노출되고 제 1 개방부와 제 2 개방부 사이에는 제 1 절연층이 노출되어 있다.
- <72> 제 1 및 제 3 실시예에 따른 볼 패드의 선택은 제 1 및 제 2 절연층의 두께 및 물성에 따라 다르게 선택될 수 있다. 예컨대, 제 2 절연층의 두께가 $15\mu\text{m}$ 이상으로 두꺼운 경우는 제 3 실시예에 따른 볼 패드를 선택하는 것이 바람직하고, 제 2 절연층의 두께가 $15\mu\text{m}$ 이하로 얇은 경우는 제 1 실시예에 따른 볼 패드를 선택하는 것이 바람직하다.
- <73> 한편, 본 명세서와 도면에 개시된 본 발명의 실시예들은 이해를 돕기 위해 특정 예를 제시한 것에 지나지 않으며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시

가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이다.

【발명의 효과】

<74> 본 발명의 구조를 따르면 볼 패드 안쪽에 굴곡부가 형성되고, 그 굴곡부에 금속 배선층이 형성됨으로써, 볼 패드에 형성될 솔더 볼과 금속 배선층 사이의 접합 면적이 늘어나게 된다. 따라서 볼 패드와 솔더 볼 사이의 접합 신뢰성을 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

(a) 웨이퍼 제조 공정을 통하여 실리콘 기판에 집적회로들이 형성되고, 상기 집적회로들과 전기적으로 연결된 칩 패드들과 상기 집적회로들을 보호하기 위한 불활성층이 상기 실리콘 기판의 상부면에 형성된 복수개의 반도체 칩들과, 상기 반도체 칩들을 구분하는 칩 절단영역을 갖는 반도체 웨이퍼를 제공하는 단계와;

(b) 상기 칩 패드만 노출되도록 상기 불활성층 상에 제 1 절연층을 형성하는 단계와;

(c) 상기 제 1 절연층 위에 제 2 절연층을 형성하되, 상기 칩 패드가 노출되고, 불 패드로 형성될 영역의 상기 제 1 절연층의 일부가 노출되게 굴곡부를 갖는 제 2 절연층을 형성하는 단계와;

(d) 상기 칩 패드의 재배열을 위하여 상기 칩 패드와 각기 연결되어 상기 제 2 절연층과 상기 굴곡부에 형성된 금속 배선층을 형성하는 단계와;

(e) 상기 금속 배선층을 보호하기 위해서 상기 금속 배선층과 제 2 절연층 상에 제 3 절연층을 형성하는 단계와;

(f) 상기 굴곡부 상부의 제 3 절연층을 개방하여 불 패드를 형성하는 단계와;

(g) 상기 굴곡부를 포함하는 상기 불 패드 위에 솔더 볼을 형성하는 단계; 및

(h) 상기 칩 절단영역을 따라 상기 반도체 웨이퍼를 절단하여 웨이퍼 레벨 칩 스케일 패키지를 얻는 단계;를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

【청구항 2】

제 1항에 있어서, 상기 (c)의 굴곡부는 소정의 직경을 갖는 개방된 원형의 상기 제 1 절연층 위에, 상기 개방된 제 1 절연층의 직경보다는 작은 직경을 갖는 고리 형태의 제 2 절연층으로 형성된 철부를 포함하는 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

【청구항 3】

제 2항에 있어서, 상기 고리 형태의 철부는 불연속적으로 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

【청구항 4】

제 2항 또는 제 3항에 있어서, 상기 볼 패드 안쪽의 철부의 면적과 요부의 면적이 비슷한 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

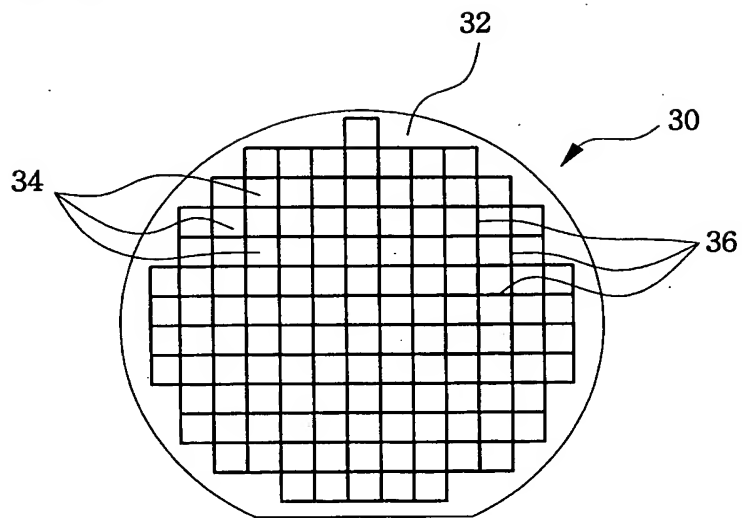
【청구항 5】

제 2항 또는 제 3항에 있어서, 상기 (b) 단계에서, 상기 고리 형태의 제 2 절연층 안쪽의 불활성층 부분이 노출되게 제 1 절연층이 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

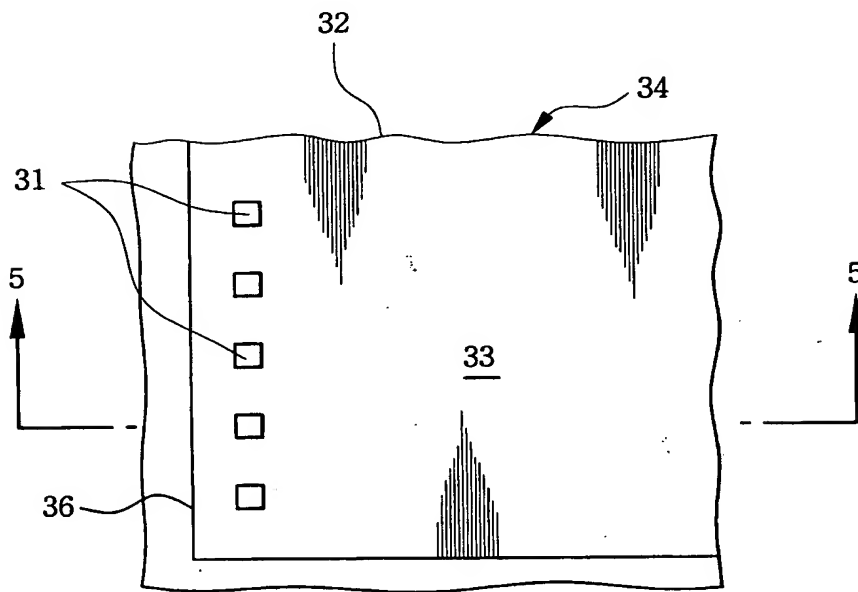
【청구항 6】

제 5항에 있어서, 상기 (c) 단계에서, 상기 고리 형태의 제 2 절연층 안쪽의 불활성층 부분이 노출되게 제 2 절연층이 형성된 것을 특징으로 하는 웨이퍼 레벨 칩 스케일 패키지의 제조 방법.

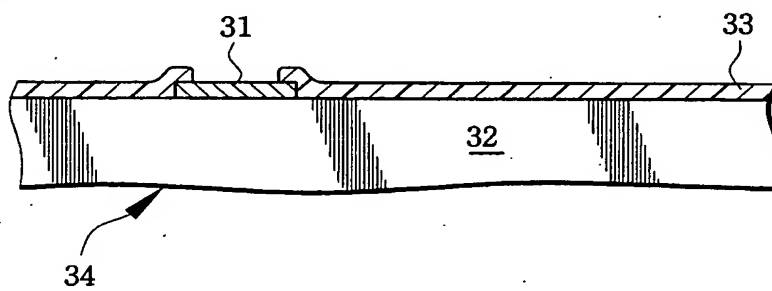
【도 3】



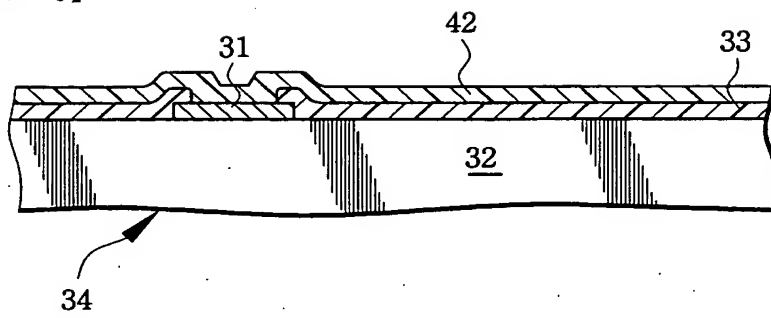
【도 4】



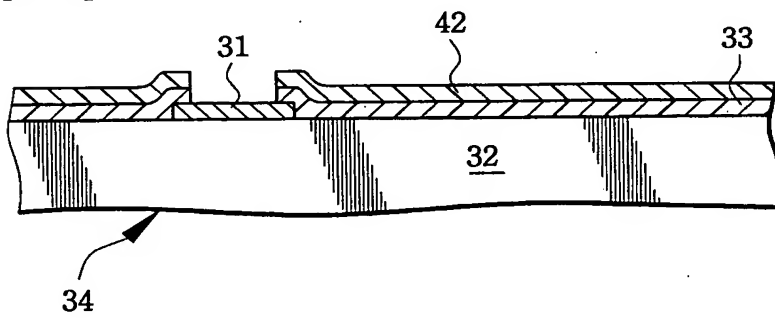
【도 5】



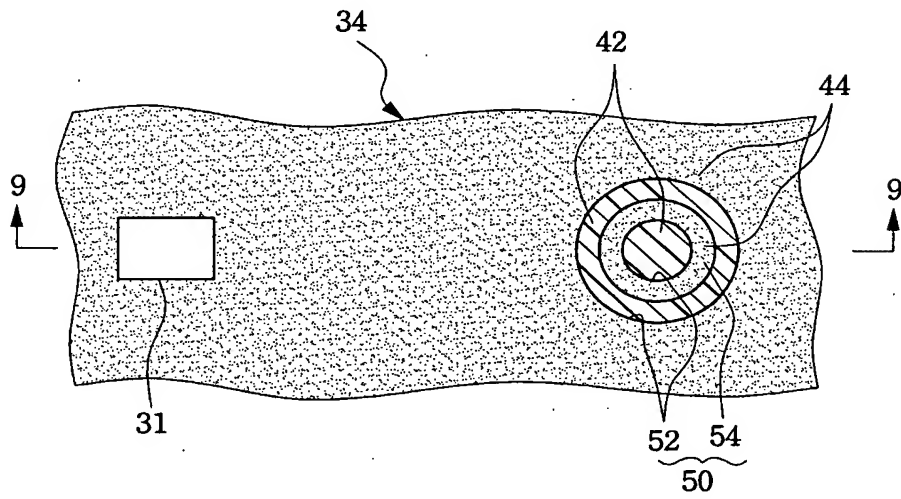
【도 6】



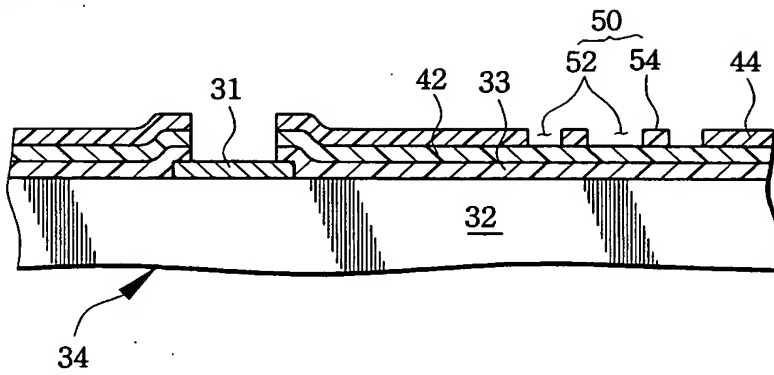
【도 7】



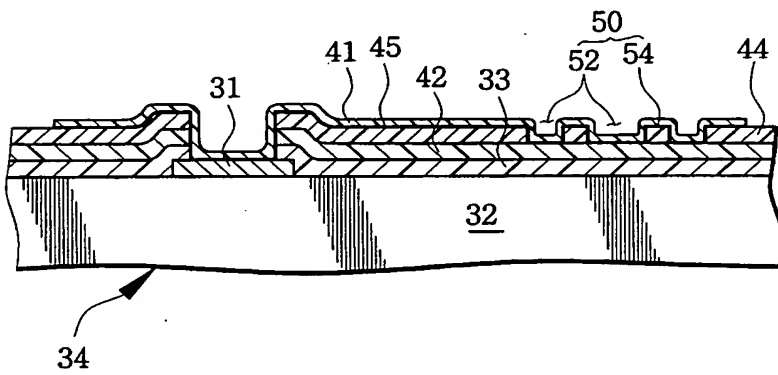
【도 8】



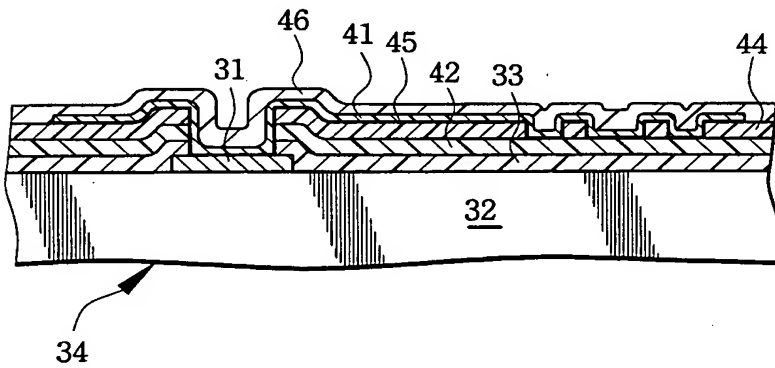
【도 9】



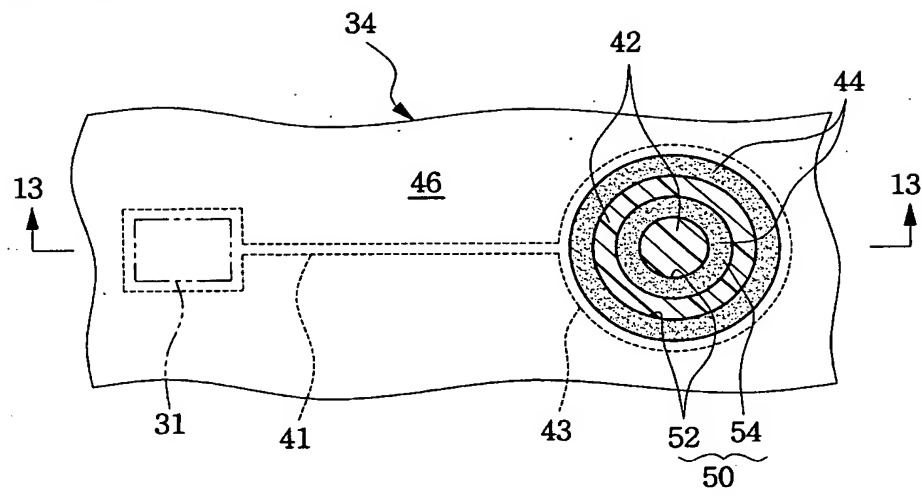
【도 10】



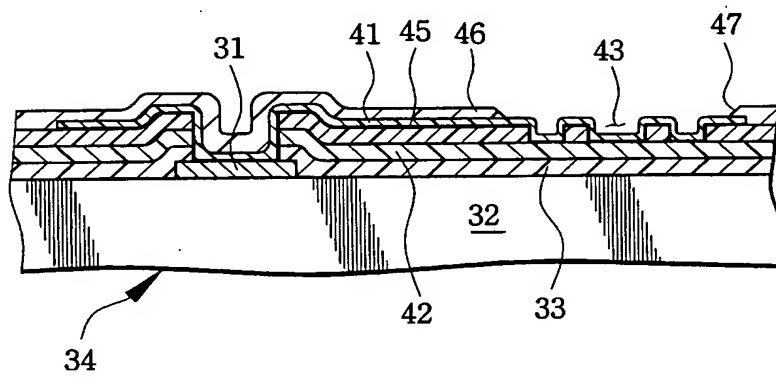
【도 11】



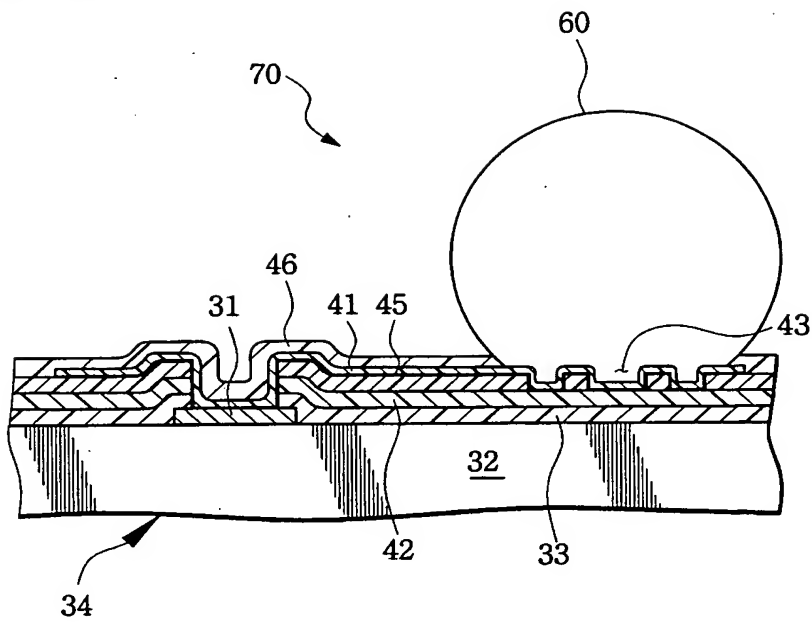
【도 12】



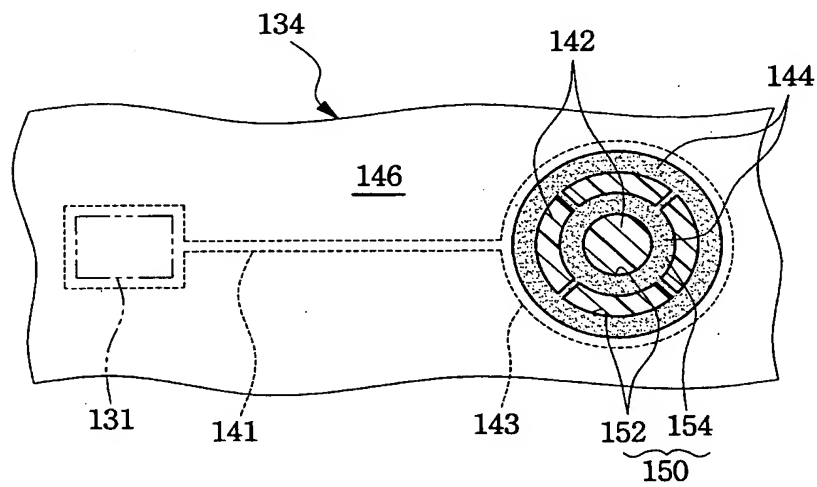
【도 13】



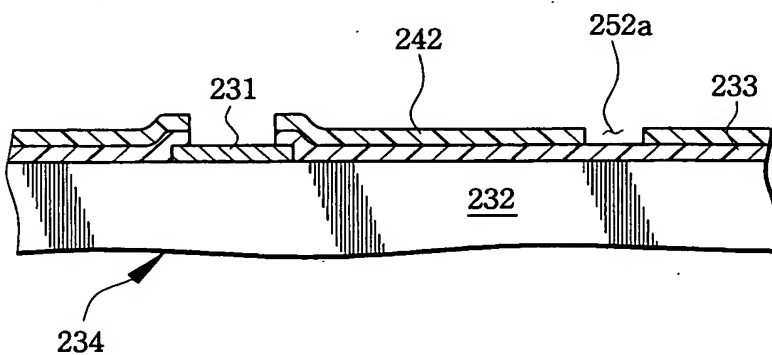
【도 14】



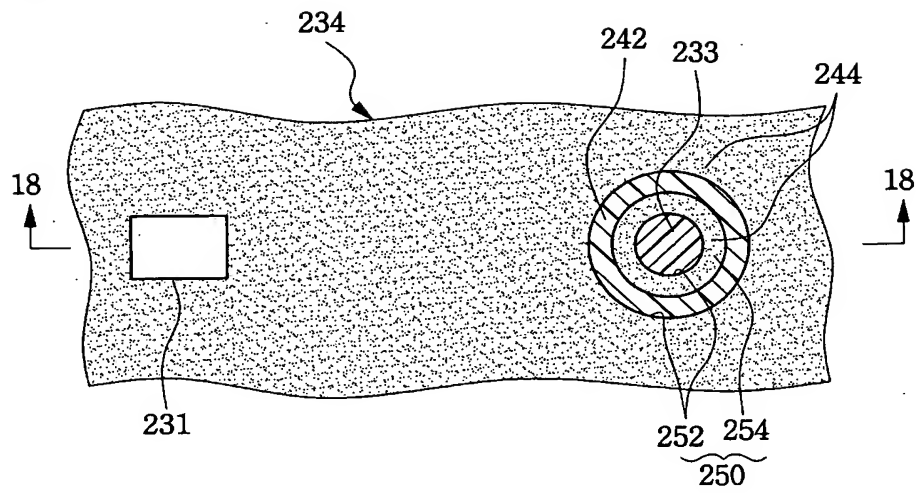
【도 15】



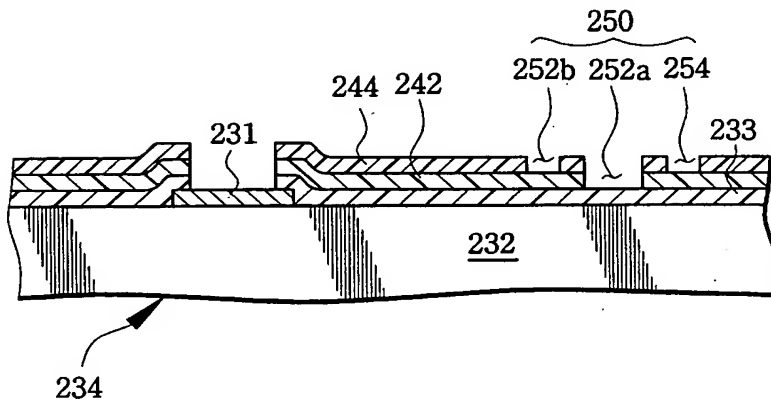
【도 16】



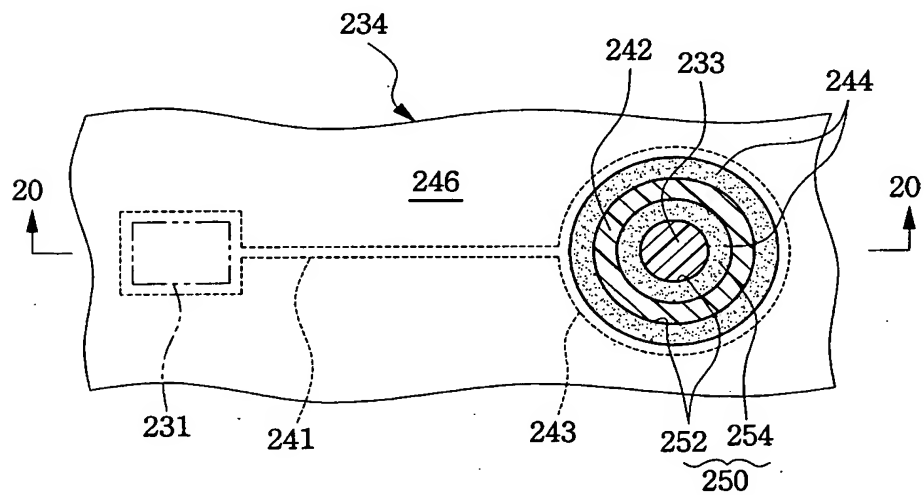
【도 17】



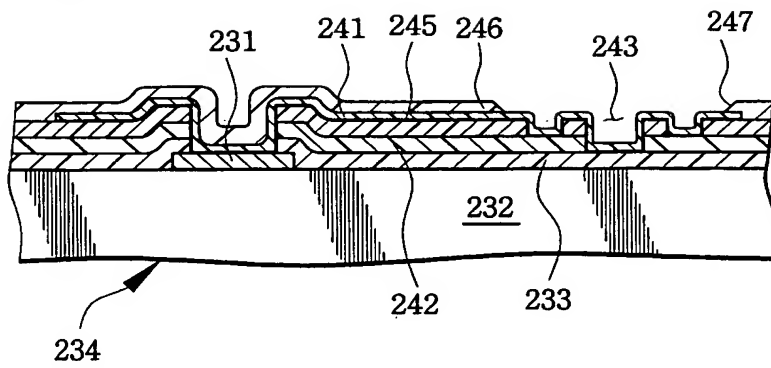
【도 18】



【도 19】



【도 20】



【도 21】

